

ФЕДЕРАЛЬНОЕ АГЕНТСТВО ПО ОБРАЗОВАНИЮ
Государственное образовательное учреждение высшего профессионального образования
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
АЭРОКОСМИЧЕСКОГО ПРИБОРОСТРОЕНИЯ

КУРСОВОЙ ПРОЕКТ
ЗАЩИЩЕН С ОЦЕНКОЙ
РУКОВОДИТЕЛЬ

доц., к.т.н.

должность, уч. степень

подпись, дата

О.И. Курсанов

инициалы, фамилия

Блок для работы памяти с периферийными устройствами

Пояснительная записка к курсовому проекту по дисциплине
«СХЕМОТЕХНИКА»

РАБОТУ ВЫПОЛНИЛ

СТУДЕНТ ГР.

4942

подпись, дата

А.В. Козьяков

инициалы, фамилия

Санкт-Петербург
2012

СОДЕРЖАНИЕ

1. Введение.....	2
2. Задание и описание структурной схемы.....	3
3. Разработка памяти(RAM).....	4
4. Разработка двунаправленного регистра(REG).....	6
5. Разработка блока для работы памяти с периферийными устройствами	8
6. Выбор элементной базы.....	9
7. Применение макроопределений (макросов) при моделировании устройств и построении принципиальных схем.....	11
8. Схемотехническое моделирование Micro-Cap V9 GUAP Edition	
8.1 Принципиальная схема и временная диаграмма работы памяти(RAM) 32x16.....	14
8.2 Принципиальная схема и временная диаграмма работы двунаправленного регистра(REG).....	16
8.3 Принципиальная схема и временная диаграмма блока работы памяти с периферийными устройствами.....	18
9. Обеспечение помехоустойчивости плат (разработка цепей питания).....	20
10. Компоновка ИМС и определение габаритных размеров печатной платы.....	21
11. Заключение.....	22
12. Список используемой литературы.....	23

					С.53.230101.4942.КП.3.3.ПЗ			
Изм	Лист	№ документа	Подпись	Дата				
Разраб.		Козьяков А.В.			Работа памяти с периферийными устройствами	Литер	Лист	Листов
Провер.		Курсанов О.И.				У	1	27
Н.контр.					Группа 4942			
Утв.								

1. Введение

Целью курсового проектирования является освоение методов расчета, схемотехнического проектирования и конструирования элементов и блоков ЦВМ.

Разработка устройства включает в себя следующие этапы: составление функциональной схемы, выбор элементной базы, разработка принципиальной схемы, моделирование схемы устройства на ЦВМ.

При выполнении проекта было необходимо разработать блок для работы памяти с периферийными устройствами в соответствии с предложенной схемой и исходными данными, которое обеспечило бы заданную точность и качество работы.

Блок для работы памяти с периферийными устройствами является важной частью каждой современной ВС, которая не может обходиться без внешних устройств. Основная проблема заключается в том, что обычно периферийные устройства работают достаточно медленно, что затрудняет их использование напрямую. Память является быстрым устройством, но в то же время требует времени для записи. Чтобы исключить потерю данных в устройстве предусмотрен двунаправленный регистр, который выполняет функции буферизации данных и согласования устройств по скорости.

Из-за различной скорости устройств необходимо четкое согласование всех блоков схемы, для бесперебойной работы.

При реализации устройства необходимо учитывать и всевозможные внешние воздействия, которые могут исказить результат, для устранения помех разрабатываются необходимые цепи питания.

Основной элементной базой данного курсового проекта взята серия К155 (Тип логики: ТТЛ), так как она удовлетворяет всем поставленным условиям по быстродействию и надёжности.

Схема записи и считывания из оперативной памяти должна обеспечивать выполнение двух основных операций: либо чтение, либо запись через двунаправленный регистр RG. Также из шины адреса поступает адрес ячейки, в которой производится запись или считывание данных. В этом состоит необычность регистра, его двунаправленность в некоторых случаях помогает значительно упростить работу конкретной схемы.

					С.53.230101.4942.КП.3.3.ПЗ	Лист
Изм	Лист	№ документа	Подпись	Дата		2

2. Задание и описание структурной схемы

Схема записи и считывания из оперативной памяти реализует функции записи и чтение данных. Двухнаправленный регистр RG осуществляет функцию записи и считывания данных из ОЗУ. В DC подается адрес ячейки памяти, в который происходит запись данных из RG. А в зависимости от подаваемых сигналов на дешифратор происходит чтение из соответствующей ячейки памяти.

Блок для работы памяти с периферийными устройствами

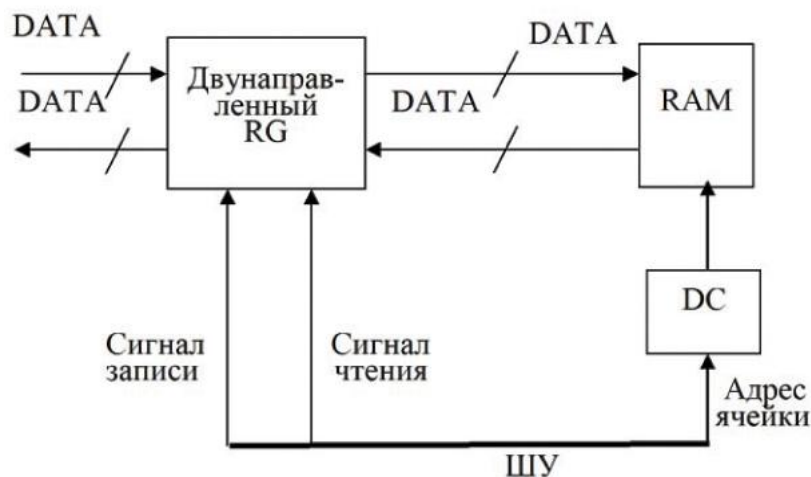


Рис.1 Функциональная схема

В состав устройства входят: RG, DC, RAM.

В ходе работы необходимо разработать блок для работы памяти с периферийными устройствами. Блок должен удовлетворять следующим требованиям: его разрядность должна быть 16, а адресность 32. Данные передаются в обе стороны по шинам данных через двухнаправленный регистр, а на шину адреса памяти подается адрес ячейки, в которую производится запись.

Функционирование устройства осуществляется следующим образом. На входы двухнаправленного регистра RG поступают сигналы, которые записываются в ячейки памяти с адресом, который поступает на DC. Данные из памяти передаются в двухнаправленный регистр RG и считываются, в соответствии с сигналами, поступающими на управляющие вход шины управления.

В реализуемом КП:

- Разрядность 16
- Адресность 32

									Лист
									3
Изм	Лист	№ документа	Подпись	Дата	С.53.230101.4942.КП.3.3.ПЗ				

3. Разработка памяти

В основе схемы лежит память с прямым доступом. Данная схема предназначена для записи, хранения и считывания информации, при считывании информации из ОЗУ она не разрушается. Ячейки в памяти организованы в матрицу RAM, имеющую 32 ряда четырехразрядных регистра. Матрица снабжена адресным дешифратором DC, который принимает пятиразрядный код адреса A0-A4 и выбирает с его помощью одного из своих 32 выходов нужное шестнадцатиразрядное слово.

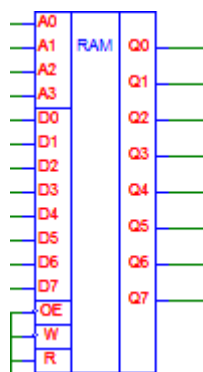


Рис.2 Используемая для построения память (16x8)

При проектировании памяти, необходимо учитывать имеющуюся элементную базу. Память строилась на микросхемах памяти с разрядностью 8 и адресностью 16. Таким образом, была получена память 32x16. Было использовано всего восемь микросхем, т.е. минимальное число элементов, достаточное для реализации заданной памяти. В реальном устройстве производительность будет оцениваться производительностью самой медленной микросхемы памяти, но в то же время следует учитывать, что из-за параллельной записи в два регистра память работает по переднему и по заднему фронту стробирующего сигнала.

Для увеличения разрядности были соединены адресные контакты, а также контакты, отвечающие за управление памятью.

Для увеличения адресности у двух элементов памяти 32x16 были соединены информационные входы, и все входы управления, кроме R были соединены через инвертеры. Входы R были соединены без инвертеров для сброса элементов всей памяти. На выходе элементы 32x16 соединены через элементы ИЛИ.

Назначение входов памяти:

OE - разрешение вывода (сигнал активен по низкому уровню)

W - разрешение записи (сигнал активен по низкому уровню)

R-сброс

RAM 16x8 (ОЗУ К155РПЗ)

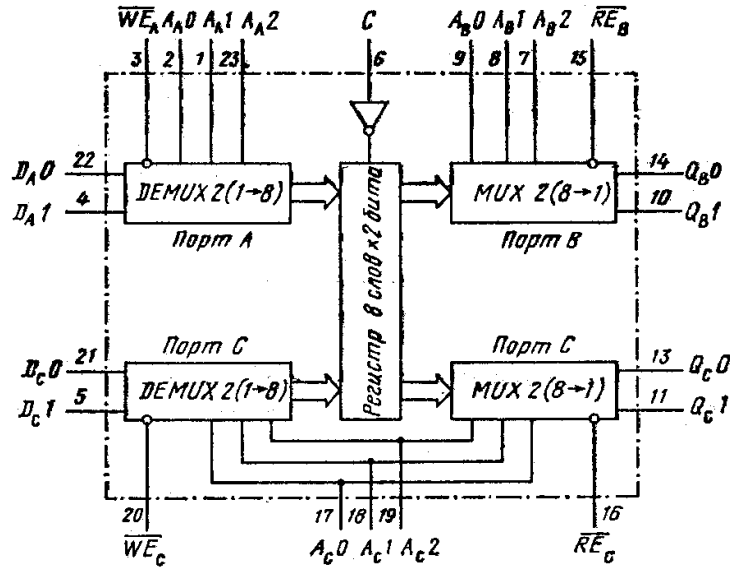


Рис.3

Условия записи Рис.4 и чтения Рис.5 из ЗУ К155РПЗ

Режим	Вход			Адресовано в регистр
	C	\overline{WE}	D_n	
Запись данных	↑	Н	Н	Н
Хранение	↑	Н	В	В
	↑	В	х	Без изменений

Рис.4

Режим	Вход		Выход Q_n
	\overline{RE}	Адресовано в регистр	
Чтение	Н	Н	Н
Отключение	Н	В	В
	В	х	Z

Рис.5

К155РПЗ – регистровое ЗУ. Его основой служит 16-разрядный файл-регистр, имеющий организацию 8 слов X 2 бита (т.е. слова расположены в регистре по восьми адресам). Регистр снабжен входными и выходными портами для записи и чтения двухразрядных слов. Регистр памяти обслуживают три порта: порт входных данных А, порт выходных данных В (эти порты независимы, они имеют собственную адресацию), а также двухсекционный порт С. Секции входных и выходных данных порта С имеют общие адресные входы. Каждый порт имеет по три адресных входа A_{An} , A_{Bn} и A_{Cn} , что дает восемь адресов в регистр. Эти адреса позволяют обмениваться с накопительным регистром восемью двухбитными словами.

Выбрать режимы записи и чтения через порты можно с помощью табл.13. для режима хранения на входе разрешения записи \overline{WE} должно быть напряжение высокого уровня перед приходом отрицательного перепада на вход С. Этим исключается перемена данных в регистре.

4. Разработка двунаправленного регистра

Двунаправленный регистр RG подключается к выходам схемы RAM и предназначен для считывания и выдачи результата операции, а так же занесения информации в память, в этом состоит его двунаправленность.

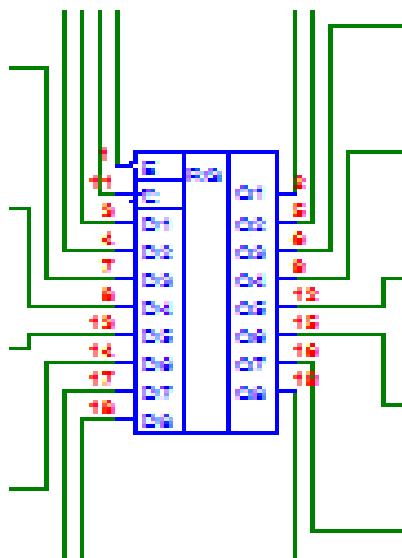


Рис.6 Двунаправленный регистр.

Двунаправленный регистр служит для временного хранения данных при передаче в память. Данные, поступая с внешнего устройства, записываются в регистр, а затем поступают в память и выводятся наружу. Основной характеристикой регистра является высокая скорость работы, для реализации были выбраны D-триггеры. Регистр является 4-разрядным, поэтому использовалась микросхема K155TM8 (счетверённый D-триггер со сбросом) для минимизации аппаратных затрат. На выходе двунаправленного регистра были поставлены трехстабильные элементы, для возможности отключения регистра и выбора линии, в которую необходимо выдавать данные. На входе использовалась комбинация элементов И,ИЛИ и НЕ, позволяющие принять сигнал либо с одной шины данных, либо с другой, со сбросом. Сигнал С вынесен отдельно, хотя и подключен к входам D-триггеров С, это сделано исключительно для универсальности использования спроектированного двунаправленного регистра.

Назначение входов двунаправленного регистра:

С - синхросигнал (по переднему фронту)

W - разрешение записи (По высокому уровню – линия I0-I3, по низкому – линия J0-J3)

R - сброс (сигнал активен по низкому уровню)

SL - сигнал выбора линии (по высокому уровню вывод осуществляется в память - выходы Q0-Q3)

Микросхема ТМ8 (К155ТМ8)

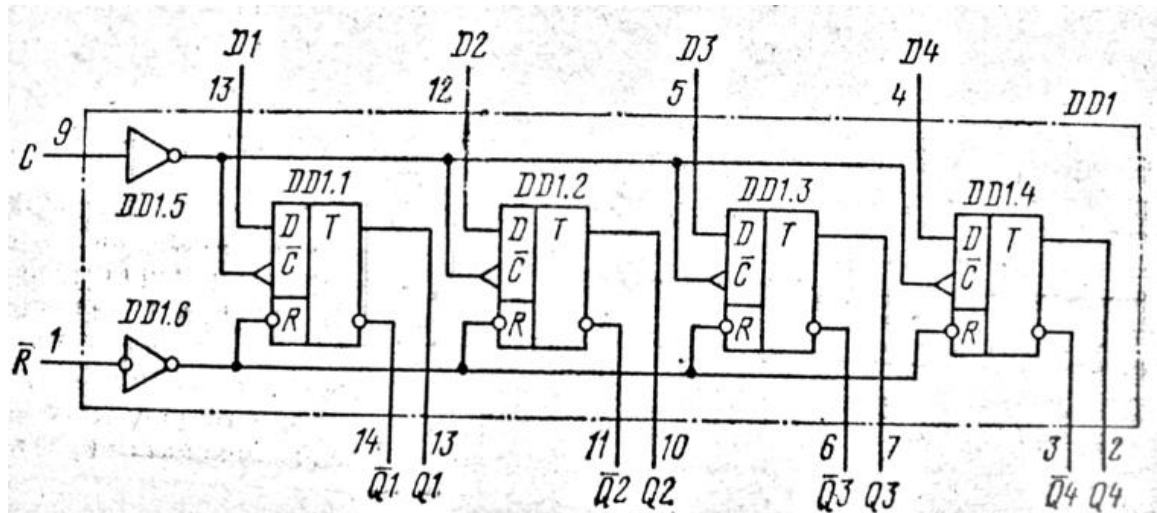


Рис.7 Микросхема К155ТМ8

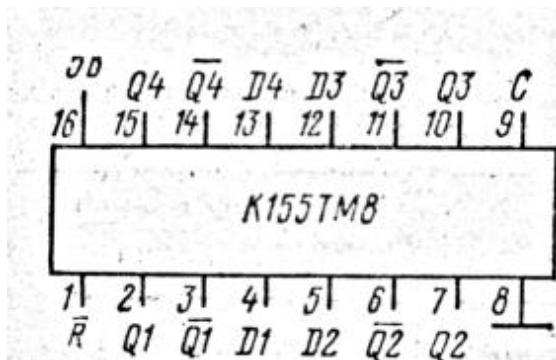


Рис.8 Цоколевка используемого триггера

Режим работы	Вход			Выход	
	\bar{R}	C	D_n	Q_n	\bar{Q}_n
Сброс	Н	х	х	Н	В
Загрузка 1	В	↑	в	В	Н
Загрузка 0	В	↑	н	Н	В

Рис.9 Состояния триггеров

Микросхема ТМ8 расположена в 16-ти контактном корпусе и содержит набор D-триггеров, имеющих общие входы синхронного сброса R и тактового запуска C. В микросхемах ТМ8 число триггеров четыре, у каждого есть выходы Q и не Q. Ее цоколевка приведена на рисунке 8. Режимы работы триггеров в микросхеме ТМ8 приведена на рисунке 9. Микросхема К155ТМ8 имеет ток потребления 45мА. Соответственно ее максимальная тактовая частота составляет 25МГц, а время задержки распространения сигнала сброса 35нс. Основное назначение микросхемы ТМ8 – построение регистров данных, запускаемых перепадами тактового импульса.

5. Разработка блока для работы памяти с периферийными устройствами

Блок для работы памяти с периферийными устройствами содержит следующие основные элементы: соответственно константы – фиксированная единица и фиксированный ноль, макросы ранее созданных элементов памяти с разрядностью 16 и адресностью 32, а так же макрос двунаправленного регистра.

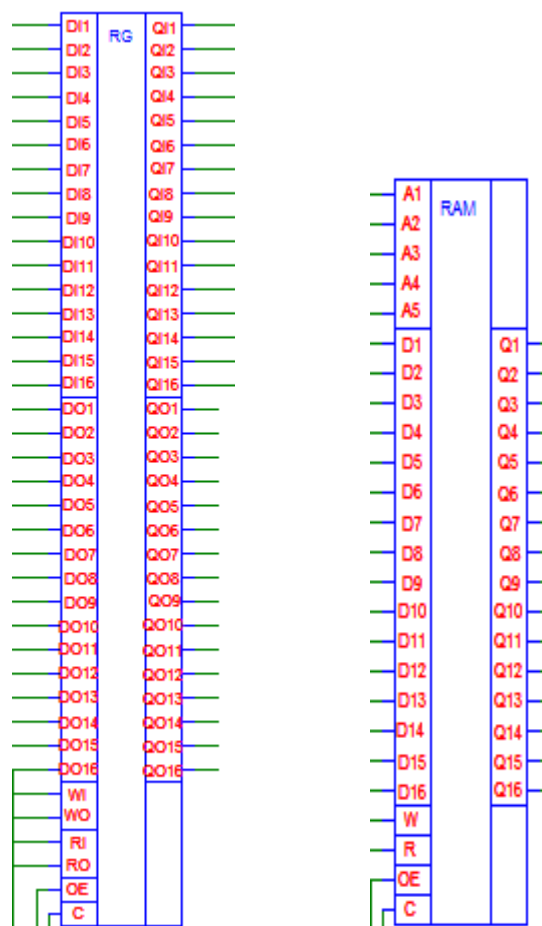


Рис.10 Основные элементы схемы блока для работы памяти с периферийными устройствами

Блок для работы памяти с периферийными устройствами состоит из нескольких ранее рассмотренных блоков: памяти и двунаправленного регистра, а также генераторов, обеспечивающих синхронизацию и стабильную работу всего устройства. Рабочий режим состоит из нескольких тактов. Вначале в двунаправленный регистр приходит информация извне и записывается в него сразу же она отправляется на вход памяти, во втором такте информация записывается в память, а содержимое двунаправленного регистра обнуляется, в третьем такте информация поступает с выхода памяти на вход двунаправленного регистра, где записывается, далее происходит выбор линии и информация выдаётся наружу.

6. Выбор элементной базы

В настоящее время при разработке интегральных микросхем наибольшее распространение получили следующие типы логических элементов:

- транзисторно-транзисторная логика (ТТЛ);
- транзисторная логика с эмиттерными связями (ЭСЛ);
- логика на комплементарных полевых транзисторах (КМОП).

Базовые элементы ТТЛ (микросхемы серии К131, К134, К155) строятся на основе многоэмиттерного транзистора (МЭТ), в базе которого сформировано несколько (обычно от 2 до 8) эмиттерных областей, являющихся входами схемы, и транзисторного инвертора. Схема выполняет операцию "И-НЕ": когда на все входы МЭТ поданы высокие уровни напряжений, все эмиттерные переходы закрыты, и ток от источника питания через открытый коллекторный переход транзистора поступает на вход инвертора, на выходе сложного инвертора, элемент имеет малое выходное сопротивление. Это позволяет увеличить ток нагрузки, а также ускорить процессы заряда и разряда емкости нагрузки. В составе каждой серии ТТЛ выпускаются так называемые буферные логические элементы (элементы с повышенной нагрузочной способностью), для которых допустимый стекающий выходной ток низкого уровня увеличен примерно в 3 раза. Кроме того, в состав некоторых серий цифровых микросхем ТТЛ входят логические элементы без коллекторной нагрузки выходного транзистора - элементы с открытым коллектором. Они предназначены для работы с внешней нагрузкой в виде индикаторных приборов, реле и т.д. Основные параметры элементов ТТЛ для различных серий микросхем сведены в табл.1. Взаимная нагрузочная способность логических элементов ТТЛ разных серий приведена в табл.2. Серия К155 является самой распространенной среди микросхем ТТЛ. Ее логический элемент обладает средним быстродействием и средним значением потребляемой мощности. Микросхемы серий К131 и К134 в настоящее время практически не используются в аппаратуре, т.к. энергия переключения элемента серии К131 считается чрезмерно большой, а элементы серии К134 имеют высокое время задержки и низкую нагрузочную способность.

Основные параметры микросхем ТТЛ

Таблица 1

Серия ТТЛ	Параметр		Нагрузка	
	Рпот, мВт	tэд, нс	Сн, пФ	Rн, кОм
К134	1	33	50	4
К155	10	9	15	0,4
К131	22	6	25	0,28
К555	2	9,5	15	2
К531	19	3	15	0,28
КР1533	1,2	4	15	2
КР1531	4	3	15	0,28

В конце 1970-х годов микросхемы ТТЛ первоначальной разработки стали активно заменяться на микросхемы ТТЛШ, в которых вместо обычных транзисторов используются транзисторы с диодом Шоттки. Эффект Шоттки снижает пороговое напряжение открывания кремниевого диода от обычных 0,7 В до 0,2...0,3 В и значительно уменьшает время жизни неосновных носителей заряда в полупроводнике.

									Лист
									9
Изм	Лист	№ документа	Подпись	Дата	С.53.230101.4942.КП.3.3.ПЗ				

Диод Шотки с низким порогом открывания, подключаемый между коллектором и базой транзистора, не позволяет транзистору войти в режим насыщения, благодаря чему логические элементы на основе транзисторов Шотки имеют очень малое время задержки выключения. На основе транзисторов Шотки были выпущены микросхемы двух основных серий ТТЛШ: К531 и К555. В электрической схеме элемента серии К555 вместо многоэмиттерного транзистора использована матрица диодов Шотки. Микросхемы серии К555 служат эффективной заменой для микросхем стандартной серии К155. Логические элементы более современных серий микросхем КР1533 и КР1531 представляют собой дальнейшее развитие технологии ТТЛШ в сторону снижения энергопотребления, увеличения быстродействия и улучшения помехоустойчивости.

Взаимная нагрузочная способность элементов ТТЛ разных серий

Таблица 2

Нагружаемый выход	Число входов-нагрузок из серий		
	К555	К155	К531
К555	20	5	4
К555, буферная	60	15	12
К155	40	10	8
К155, буферная	60	30	24
К531	50	12	10
К531, буферная	150	37	30

Напряжение питания микросхем ТТЛ составляет $5В \pm 5\%$. Напряжение логического нуля - не более 0,4В. Напряжение логической единицы - не менее 2,5В.

Выбор элементной базы является отправной точкой для успешного построения надёжной, долговечной схемы, удовлетворяющей заданным требованиям по производительности и помехоустойчивости. Для реализации блока для работы памяти с периферийными устройствами была выбрана серия К155. Микросхемы данной серии построены на ТТЛ логике, имеют малое время задержки, являются маломощными, обладают достаточной помехоустойчивостью, имеют широкое распространение и как следствие низкую цену. При выходе их строя какого-либо элемента его достаточно просто заменить ввиду широкой распространённости данной серии. Характеристики элементов ТТЛ приведены в таблицах 1 и 2.

При использовании серии К531 должны быть сконструированы специальные цепи питания. Серия К555 не подходит из-за низкой помехоустойчивости по помехам-наводкам и помехам по питанию вследствие малой мощности и повышенных входного и выходного сопротивлений. Соединение неиспользуемых входов микросхем серии К555 может привести к повышению паразитной входной емкости. Другие серии мало распространены, либо вытеснены другими сериями. Поэтому, учитывая характеристики, указанные выше, К155 является оптимальным выбором среди микросхем других серий.

7. Применение макроопределений (макросов) при моделировании устройств и построении принципиальных схем

В процессе моделирования устройств в ряде случаев отдельные элементы могут отсутствовать в библиотеке компонентов. В этом случае необходимо строить макросы, представляющие собой компиляцию однородных или разнородных элементов и объединенных в отдельную схему, которой присваивается некоторое название. Подобную процедуру также удобно применять для объединения блоков схемы одинакового функционального назначения с целью упрощения самой принципиальной схемы.

Рассмотрим процедуру составления макроса на примере разрабатываемой памяти (16-ти разрядная):

Входы: память имеет 14 входов :

OE - разрешение вывода (сигнал активен по низкому уровню)

W - разрешение записи (сигнал активен по низкому уровню)

R - сброс

D0 – D3 - вход для подключения сигналов

A0 – A6 - адресные входы

Выходы: память имеет 4 выхода (Q0 – Q3).

Для создания макроса открываем меню **Файл**, выбираем пункт **Новый**, выбираем **Макрос**, нажимаем кнопку **ДА**. Появляется пустое окно, в котором нужно нарисовать схему необходимого элемента и сохранить под именем «RAM», с расширением Macro(*.mac)

Затем в меню **Окно** выбираем пункт **Редактор компонентов**. Справа в дереве выбираем нужную нам группу и Нажимаем кнопку **New**, вводим имя «RAM», рисуем фигуру, соответствующую разрабатываемому нами элементу, затем нажимаем кнопку **Закрывать**, подтверждая сохранение изменений:

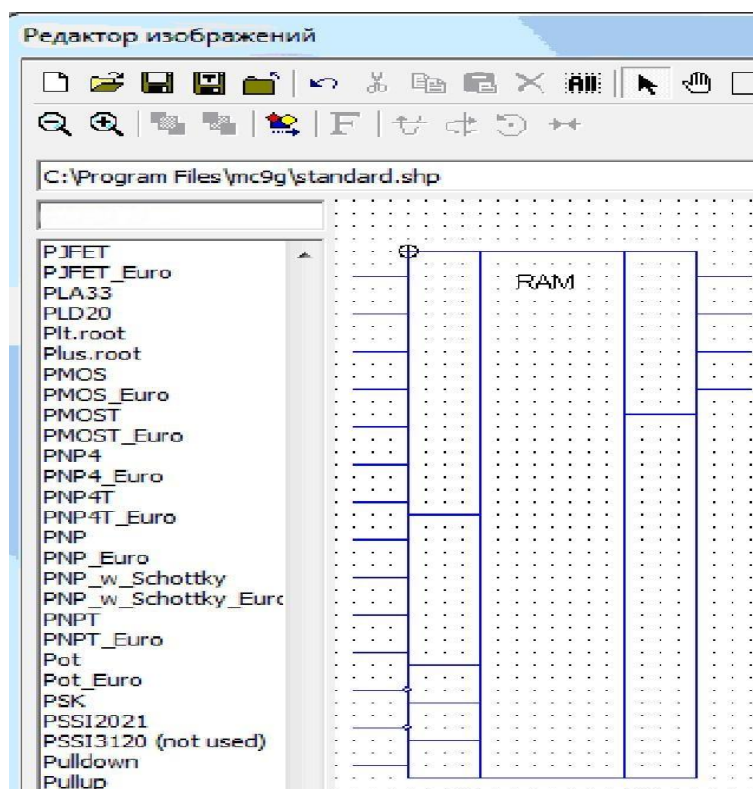


Рис.11 Создание макроса памяти

						Лист
						11
Изм	Лист	№ документа	Подпись	Дата	C.53.230101.4942.КП.3.3.ПЗ	

Затем вторично выбираем меню **Окно**, выбираем пункт **Редактор компонентов**. Нажимаем кнопку **New component**. В поле **Name** пишем «RAM», В поле **Shape** выбираем «RAM». В поле **Definition** выбираем Macro. Устанавливаем галочку в поле **Assign Component Name to File**. В окне с изображением схемы наводим курсор на каждую ножку и вводим её название в соответствии с названиями на схеме. Нажимаем кнопку **Заккрыть**, подтверждая сохранение изменений:

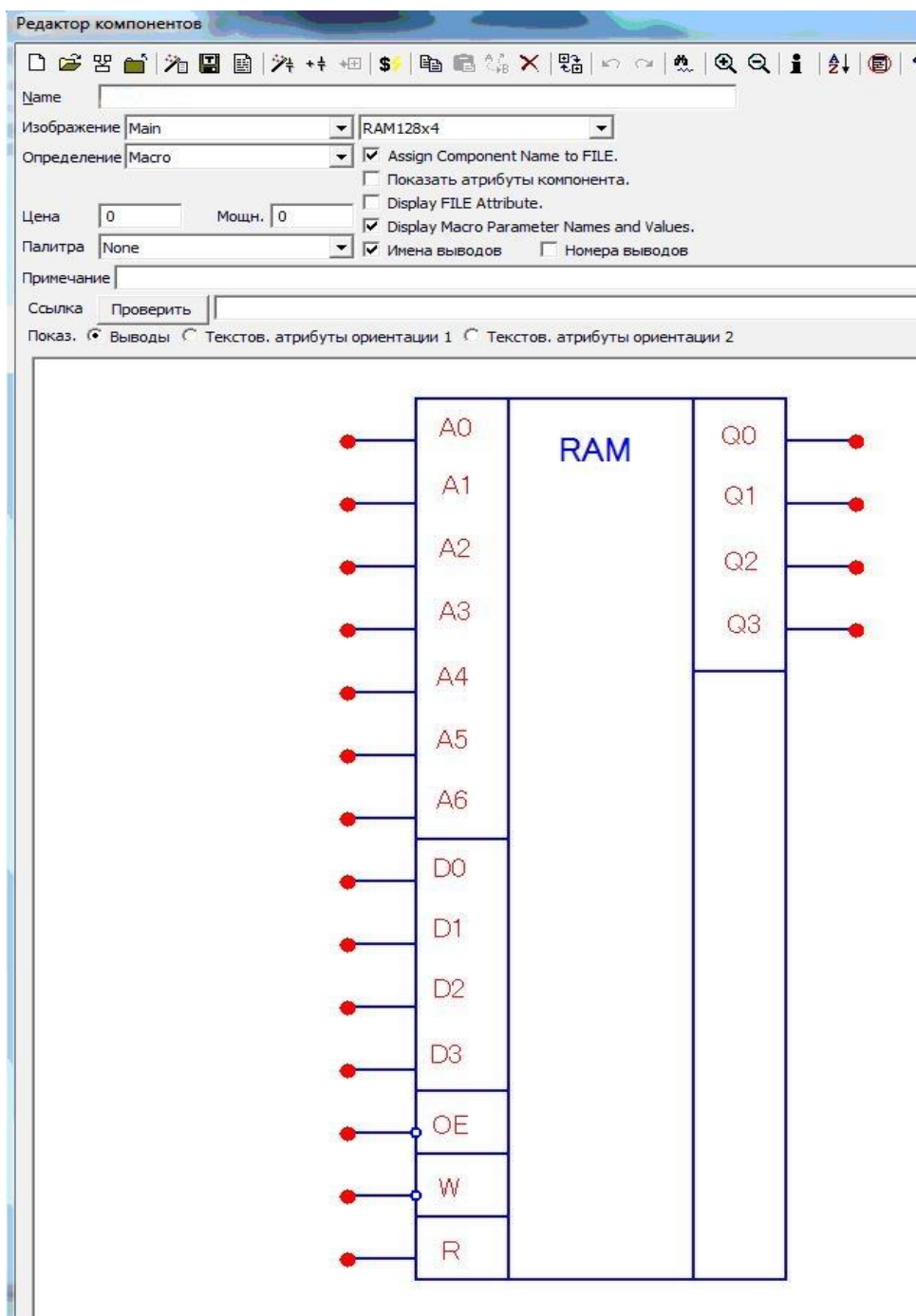


Рис.12 Готовый макрос памяти

Аналогичным образом создаем остальные макросы.

В данной работе макросы использовались для создания каждого блока схемы. Вначале были созданы все макросы, каждый был проверен и отлажен отдельно, а затем все вместе в итоговой схеме. Перечень изображений указан ниже.

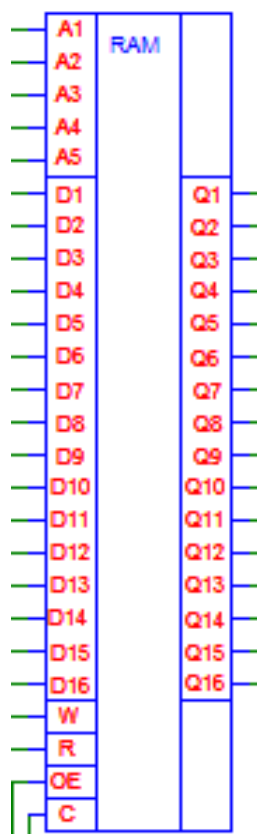


Рис.13 Макрос памяти

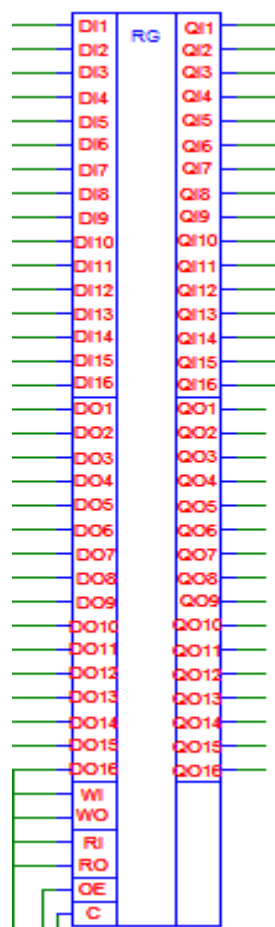


Рис.14 Макрос двунаправленного регистра

8. Схемотехническое моделирование Micro-Cap V9 GUAP Edition

8.1 Принципиальная схема и временная диаграмма работы памяти(RAM) 32x16

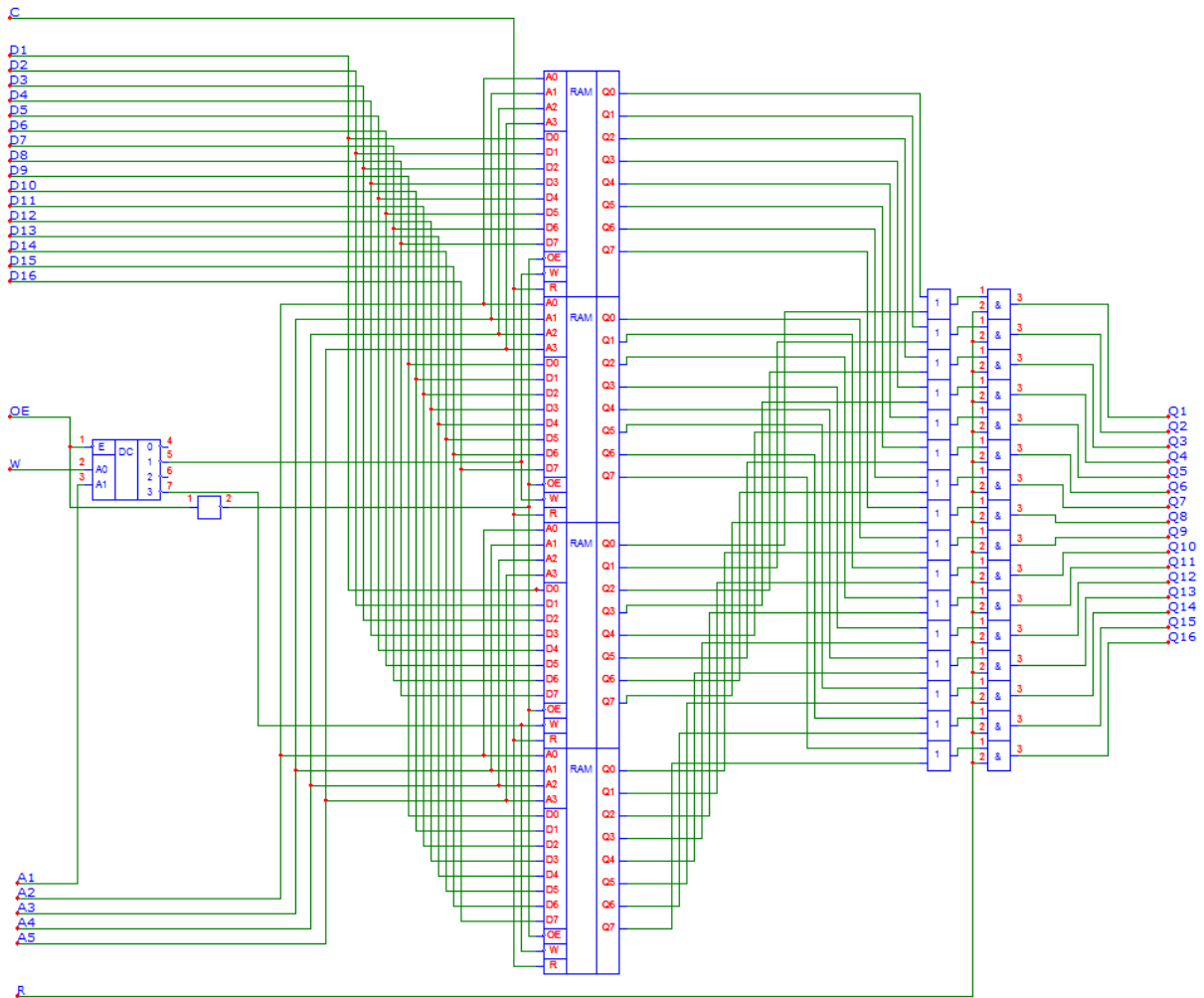


Рис.15 Схема памяти 32x16

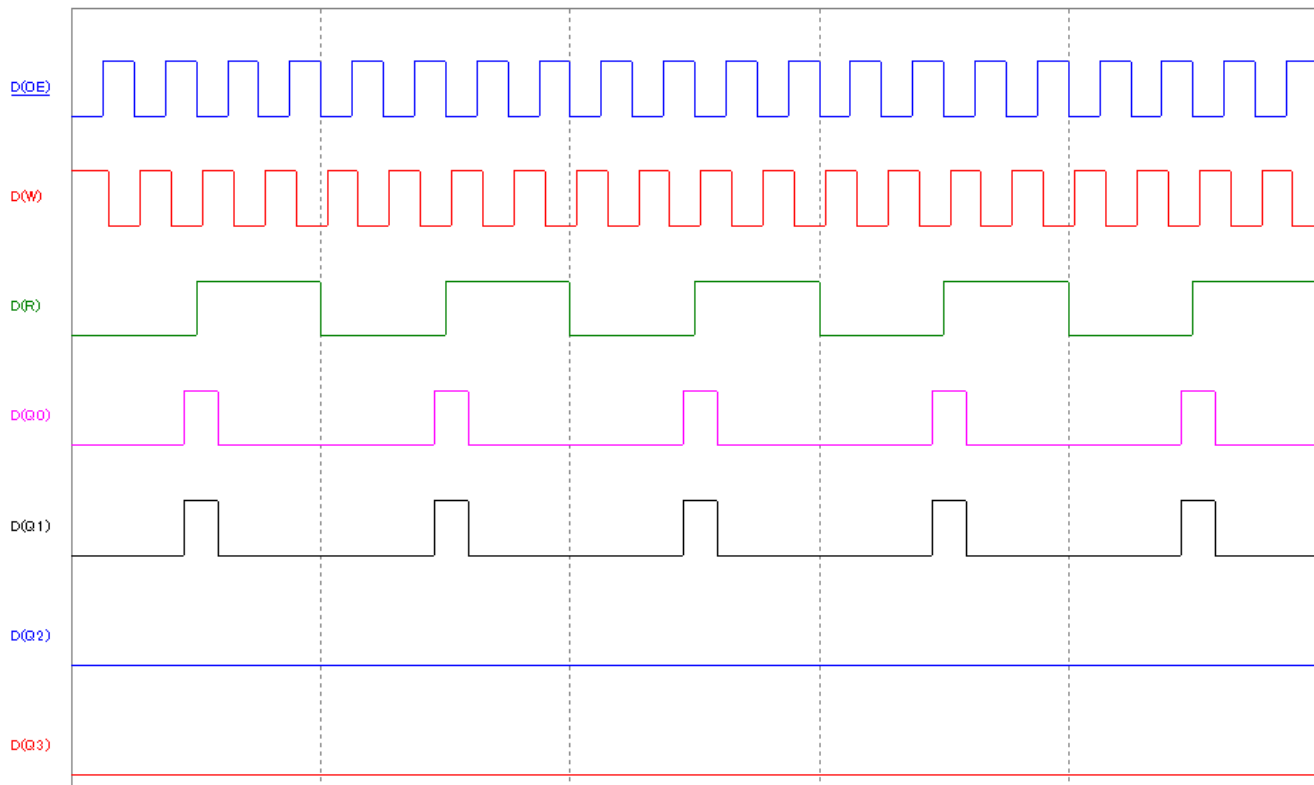


Рис.17 Временная диаграммы работы памяти 32x16

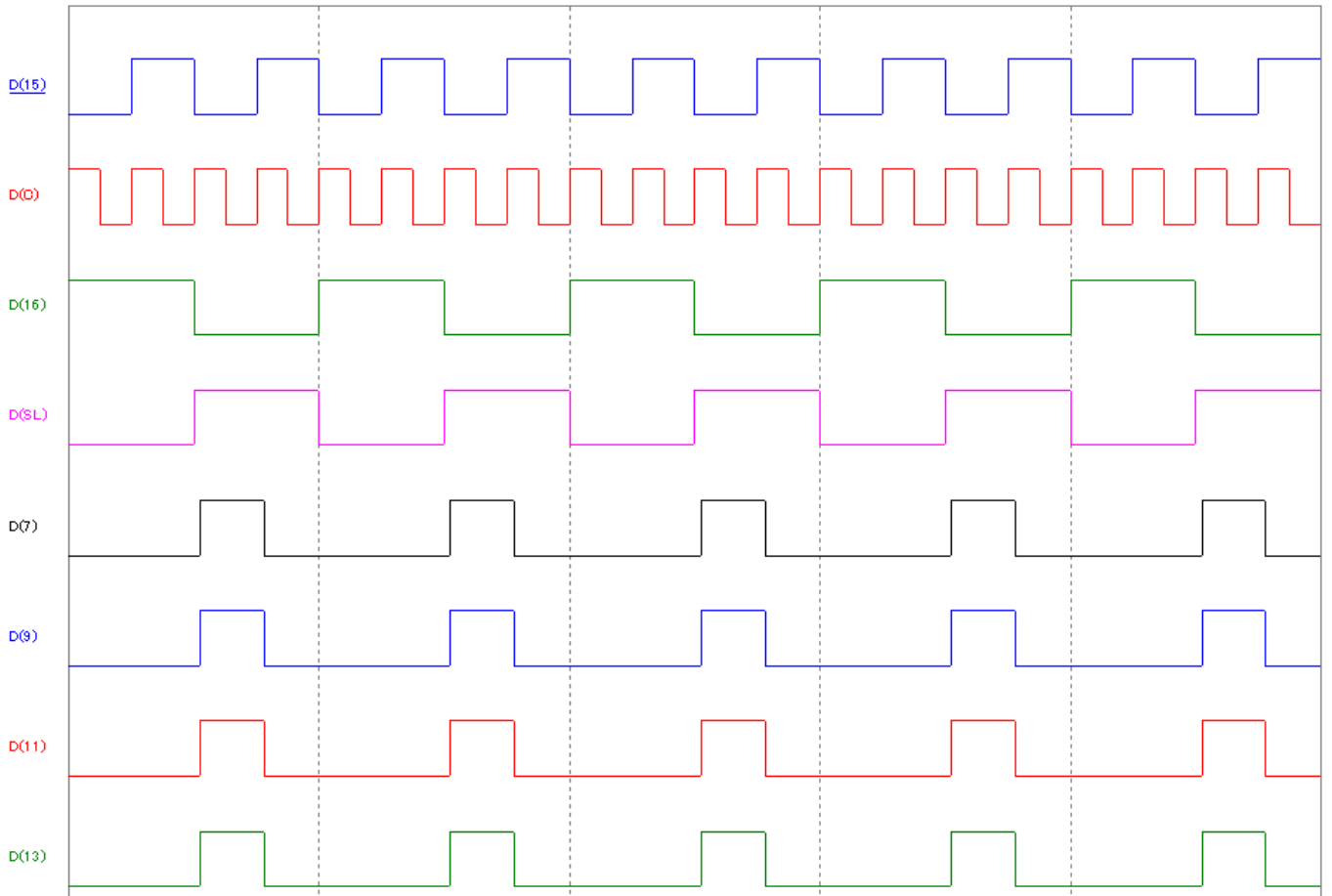


Рис.19 Временная диаграмма работы двунаправленного регистра

8.3 Принципиальная схема и временная диаграмма блока работы памяти с периферийными устройствами

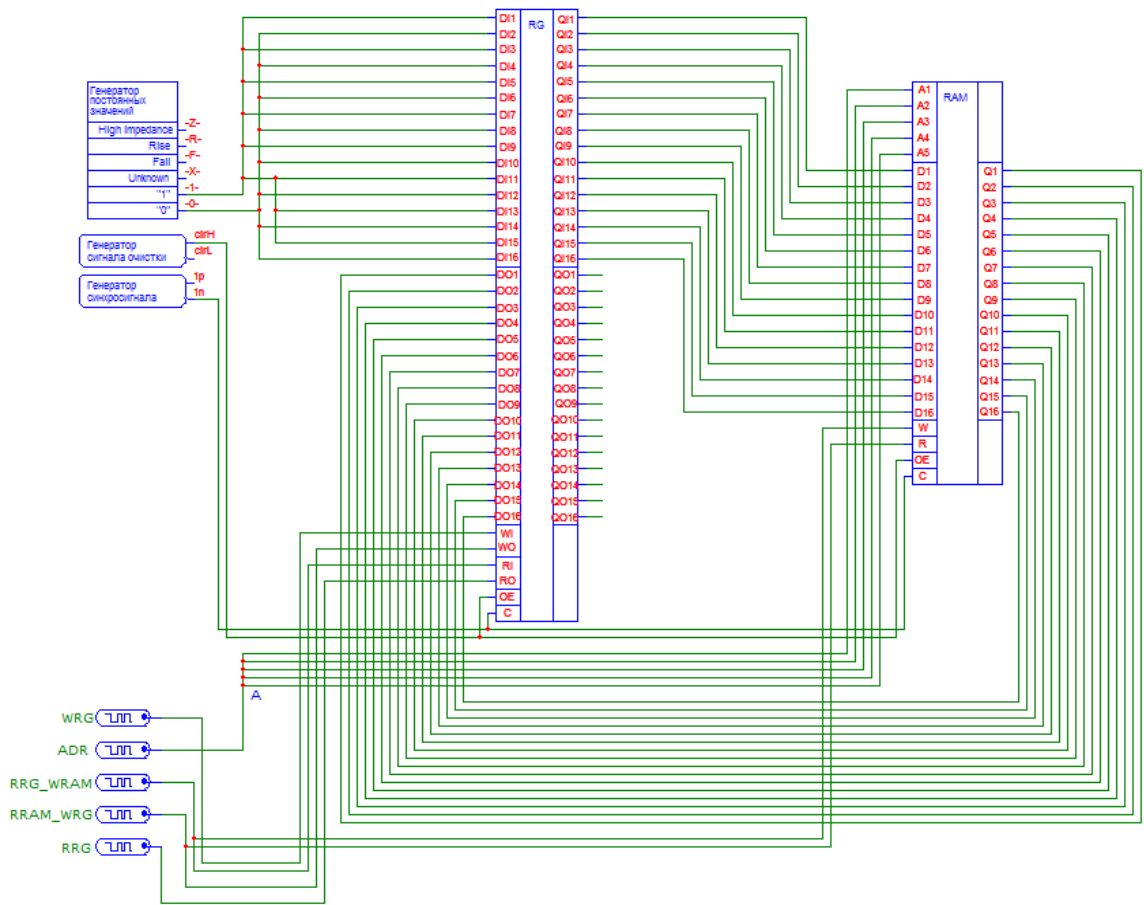


Рис.20 Схема блока работы памяти с периферийными устройствами

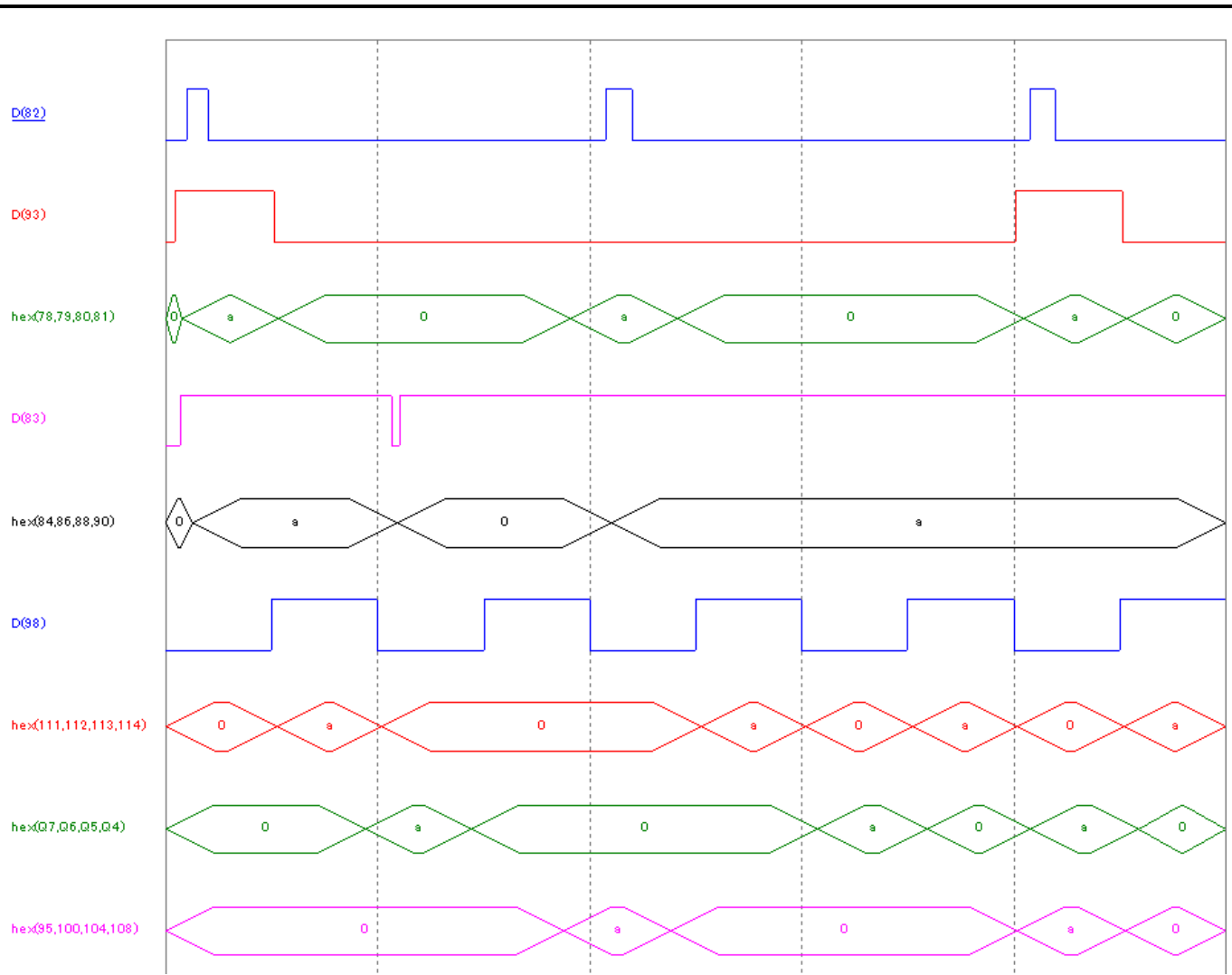


Рис.21 Временная диаграмма блока работы памяти с периферийными устройствами

9. Обеспечение помехоустойчивости плат (разработка цепей питания)

Для подавления ВЧ и НЧ помех, поступающих в устройство по цепям питания на платах устанавливаются развязывающие конденсаторы по питанию.

1). НЧ помехи блокируются электролитическими конденсаторами, типа К50-12, К50-38, К50-68 из расчета $0,1 \text{ мкФ} \cdot N$, где N – общее количество микросхем на плате.

$C_{1нч} = 0,1 \cdot 17 = 1,7$. Из справочных таблиц выбираем конденсатор

$C_{1нч}$: К50-12-25В-5мкФ±10% ОЖО.464.023ТУ

Устанавливается между шинами +5В и общий провод возле разъема.

2). Для подавления ВЧ помех на каждую ИМС повышенной степени интеграции (8 триггеров D3.1...D4.2, D17.1...D18.2) устанавливается керамический конденсатор, типа К10-7, К10-17, К10-62, емкостью 0,1 мкФ.

$C_{2 \text{ вч}}$: К10-17-1а-Н50 – 0,1мкФ±10% ОЖО.460.107ТУ

Устанавливается между шинами +5 и общим проводом возле соответствующей ИМС.

3). Если в устройстве есть ряды ИМС, состоящие только из ИМС типа «Логика», то на каждый такой ряд устанавливается один конденсатор для подавления ВЧ помех (К10-7, К10-17, К10-62) из расчета $0,002 \text{ мкФ} \cdot K$, где K – количество микросхем в ряду.

$C_{6, C7 \text{ вч}} = 0,002 \cdot 6 = 0,012 \text{ мкФ}$ Из справочных таблиц выбираем

$C_{3 \text{ вч}}$: К10-17-1а-М1500-0,015мкФ±10% ОЖО.464.007ТУ

4). Если в одну ряду кроме ИМС типа «Логика» располагаются ИМС повышенной степени интеграции, то установка дополнительного конденсатора, блокирующего высокочастотные помехи на ИМС типа «Логика», не требуется.

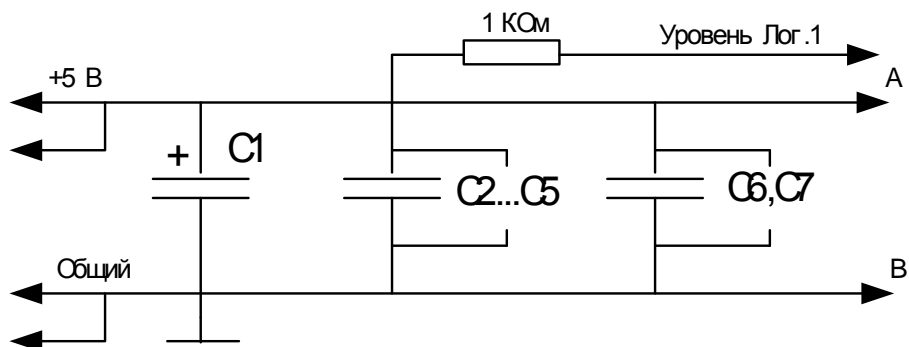


Рис.22 Схема цепей питания

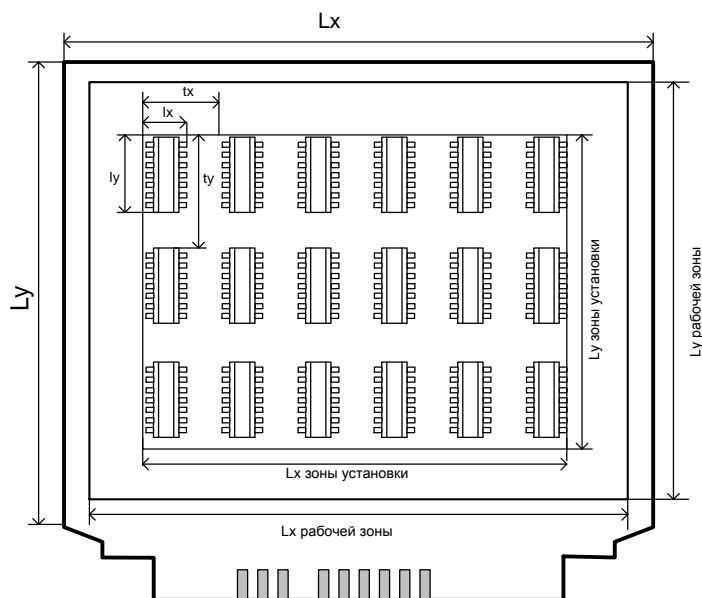
10. Компоновка ИМС и определение габаритных размеров печатной платы

Все используемые в данной курсовой работе ИМС представлены в таблице 7.

Таблица 7

ИМС	Кол-во элем на кристалле	Логическая функция	Корпус	Установочн. размер, мм	Количество корпусов
K155PY6	1	ОЗУ	201.14-1	7,5 × 15	8
K155ЛН1	6	НЕ	201.14-1	7,5 × 15	1
K155ЛЛ1	4	ИЛИ	201.14-1	7,5 × 15	2
OR	4	ИЛИ	201.14-1	7,5 × 15	1
K155ЛИ1	4	И	201.14-1	7,5 × 15	3
K155ТМ8	1	4 D триг.	201.14-1	7,5 × 15	1
K155ЛП8	4	Буфер	201.14-1	7,5 × 15	1
K155ИД4	1	Дешифр.	201.14-1	7,5 × 15	1
Итого:					18

Расчет габаритных размеров печатной платы



Необходимое количество контактов разъемного соединения определяется из следующих расчетов:

Общ.кол-во входов = 4
 Общ.кол-во выходов = 4
 Итого контактов = 8

Рисунок 13.

$$l_x = 7.5 \text{ мм} \quad t_x = 20 \text{ мм} \quad n=6$$

$$l_y = 15 \text{ мм} \quad t_y = 30 \text{ мм} \quad m=3$$

$$L_x \text{ зоны установки} = n \cdot t_x - (t_x - l_x) = 6 \cdot 20 - 12.5 = 107.5 \text{ мм}$$

$$L_y \text{ зоны установки} = m \cdot t_y - (t_y - l_y) = 3 \cdot 30 - 15 = 75 \text{ мм}$$

$$L_x \text{ рабочей зоны} = L_x \text{ зоны установки} + 2 \cdot (t_x - l_x) = 107.5 + 2 \cdot 12.5 = 132.5 \text{ мм}$$

$$L_y \text{ рабочей зоны} = L_y \text{ зоны установки} + 2 \cdot (t_y - l_y) = 75 + 2 \cdot 15 = 105 \text{ мм}$$

$$L_x = L_x \text{ рабочей зоны} + S_1 + S_2 = 132.5 + 5 + 5 = 142.5 \text{ мм} = 145 \text{ мм}$$

$$L_y = L_y \text{ рабочей зоны} + S_3 + S_4 = 105 + 5 + 15 = 125 \text{ мм}$$

S1 = 5 мм (выбирается из интервала 2,5-5 мм)

S2 = 5 мм (выбирается из интервала 2,5-5 мм)

S3 = 5 мм (т.к. в устройстве не устанавливается лицевая панель и консольная колодка)

S4 = 15 мм (выбирается из интервала 10-20 мм)

11. Заключение

В данной работе был разработан блок для работы памяти с периферийными устройствами, а также необходимые условия для обеспечения заданных параметров работы. Для удобства схема была разбита на блоки: память и двунаправленный регистр. Устройство было отлажено в программе Micro-Cap V9 GUAP Edition. Рабочий режим устройства можно проследить по временным диаграммам. В ходе работы была разработана память, работающая по двум фронтам - переднему и заднему стробирующего сигнала, что благоприятно сказалось на быстродействии всей схемы. Были учтены все возможные задержки, а также случаи, которые могут привести к неправильной работе устройства и искажению данных. Для того чтобы устройство не выходило за пределы установленные нагрузочной способностью выбранной элементной базы на выходе двунаправленного регистра были поставлены трехстабильные элементы, позволяющие в случае надобности отключать регистр от устройства. С целью понизить уровень возможных помех были спроектированы схемы питания, которые отфильтровывают высокочастотные и низкочастотные воздействия. В конце работы был предложен вариант компоновки ИМС на печатной плате, для последующей физической реализации устройства.

									Лист
									22
Изм	Лист	№ документа	Подпись	Дата	С.53.230101.4942.КП.3.3.ПЗ				

12. Список используемой литературы

1. Пухальский Г.И. Проектирование микропроцессорных устройств: Учебное пособие для вузов - СПб.: Политехника, 2001.
2. Разевиг В.Д. Система схемотехнического моделирования MicroCap V-СПб: Солон, 1997.
3. Шило В.Л. Популярныe цифровые микросхемы: Справочник - М.: Радио и связь, 1987.
4. О.И.Курсанов, С.Г.Марковский, Л.А.Осипов, А.И.Попов, Т.В.Семенов «Проектирование цифровых устройств ЭВМ в программном пакете MICROCAP-9» (3 части; изд. «Санкт-Петербург» 2008 г.);
5. О.И.Курсанов, Л.А.Осипов, А.И.Попов, Т.В.Семенов «Синтез и компьютерный анализ элементов и узлов ЦВМ на базе программного пакета MICROCAP-9» (изд. «Санкт-Петербург» 2009 г.);

									Лист
									23
Изм	Лист	№ документа	Подпись	Дата	С.53.230101.4942.КП.3.3.ПЗ				

